

CERTIFICATE OF EFS FILING UNDER 37 CFR §1.8

I hereby certify that this correspondence is being electronically transmitted to the United States Patent and Trademark Office, Commissioner for Patents, via the EFS pursuant to 37 CFR §1.8 on the below date:

Date: April 24, 2009 Name: Jasper W. Dockrey, Reg. No. 33,868 Signature: /Jasper W. Dockrey/

Case No. 9905/34
Client No. BIF023273/US

UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)	
JOLY et al.)	
Serial No.: 10/561,299)	Examiner: Zarneke, David A.
Filing Date: December 15, 2005)	Group Art Unit: 2891
For: INTEGRATED CIRCUIT ON HIGH- PERFORMANCE CHIP))	Confirmation No.: 3881

DECLARATION UNDER 37 C.F.R. §1.131

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Dear Sir:

Declarant, Jean-Pierre Joly, hereby states as follows:

1. I am a research scientist employed by the Commissariat à L'Energie Atomique ("the CEA"), and I am a named inventor of the above-referenced U.S. patent application.
2. Before December 28, 2002, I and the co-inventors named in the above-referenced U.S. patent application conceived the invention recited in the claims now pending in this application.

DIR/VALO/SAPri/BPI

10 AVR. 2009
COURRIER
N°
RECEVÉ

3. After conceiving the invention, I and the co-inventors reported our invention to the Service Accords et Propriété Industrielle in the CEA, which is part of Direction de la Recherche Technologique located in Grenoble, France.
4. Before December 28, 2002, I received a draft patent application prepared by French patent counsel at Rinuy, Santarelli in Paris. The draft patent application that I received is attached hereto as Exhibit A. This draft application was given to me by Ms. V. Robert of the Service Accords et Propriété Industrielle in Grenoble, France.
5. Relevant portions of the draft patent application have been translated into English and are attached hereto as Exhibit B.
6. After reviewing the draft patent application, I and the co-inventors made revisions to the draft patent application and returned an edited version of the draft application to the Service Accords et Propriété Industrielle in Grenoble. After a subsequent revisions made in May and June of 2003, a final version of the application was prepared as a French Patent Application by patent counsel at Rinuy, Santarelli. I received a letter from Mr. Lagarde of the Service Accords et Propriété Industrielle informing me that the patent application was filed in the French Patent Office on June 24, 2003.
7. I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code.

April 9th, 2009
Date

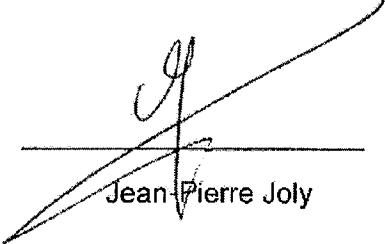

Jean-Pierre Joly

EXHIBIT A

FACSIMILE

Date : ²⁰~~13~~ décembre 2002

RINUY, SANTARELLI
14, avenue de la Grande Armée
B.P. 237
75822 PARIS CEDEX 17

Tél. : +33 (0)1 40 55 43 43 Fax : +33 (0)1 42 67 56 29

Ce message comprend en plus du présent bordereau

This message includes the present cover sheet plus

24

Pages

Confirmation par courrier

non

Confirmation copy to follow

no

Service émetteur

From : D. MUSTAKI

Objet

Matter : **avant-projet**

Notre référence

Our reference : BIF 023273

Destinataire

Transmittal to : CEA/GRENOBLE

Attention de

Attention of : V. ROBERT

Réf. Destinataire

Addressee Reference : D/D 2433

MESSAGE :

Madame,

Veuillez trouver ci-joint un second avant-projet complet pour la demande en référence. Ce projet prend en compte les explications qui nous ont été fournies hier au téléphone par L. Ulmer.

Meilleures salutations.

D. MUSTAKI

En cas de problème de réception, veuillez nous contacter.

If there is any problem regarding the reception of this facsimile, please contact us.

Tél. : +33 (0)1 40 55 43 43 - Fax : +33 (0)1 42 67 56 29 - Télex : RISAPAT 641 266 F

NOTE DE CONFIDENTIALITE : Cette télécopie et les documents l'accompagnant contiennent des informations qui sont destinées uniquement à la personne ou à la société dont le nom est indiqué ci-dessus. Toute reproduction, divulgation ou autre utilisation de ces informations, même partiellement, par un autre destinataire est strictement interdite. Si cette télécopie vous est parvenue par erreur, veuillez nous le faire savoir par téléphone et nous la retourner par courrier ou détruisez cette télécopie immédiatement sans en effectuer de photocopie. Merci.

CONFIDENTIALITY NOTICE : The information contained in this facsimile message is legally privileged and/or confidential information intended only for the use of the individual or entity named above. If you are not intended recipient, you are hereby notified that any use, dissemination, distribution, or copying of this facsimile or its contents is strictly prohibited. If you have received this facsimile in error, please immediately notify us by telephone and return the original facsimile message to us by mail or destroy it without making a copy. Thank you.

RINUY, SANTARELLI

Société anonyme de Conseils en Propriété Industrielle au capital de 3 500 000 FF
Siège social : 14, avenue de la Grande Armée 75017 PARIS - RCS PARIS B 340 667 880

Matter : avant-projet	Attention of : V. ROBERT
Notre référence : Our reference BIF 023273	Réf. Destinataire Addressee Reference : D/D 2 133

MESSAGE :

Madame,

Veuillez trouver ci-joint un second avant-projet complet pour la demande en référence. Ce projet prend en compte les explications qui nous ont été fournies hier au téléphone par L. Ulmer

Meilleures salutations.

D. MUSTAKI

En cas de problème de réception, veuillez nous contacter.
If there is any problem regarding the reception of this facsimile, please contact us.

Tél. : +33 (0)1 40 55 43 43 - Fax : +33 (0)1 42 67 56 29 - Télex : RISAP AT 641 266 F

<p>NOTE DE CONFIDENTIALITE : Cette télécopie et les documents l'accompagnant contiennent des informations qui sont destinées uniquement à la personne ou à la société dont le nom est indiqué ci-dessus. Toute reproduction, divulgation ou autre utilisation de ces informations, même partiellement, par un autre destinataire est strictement interdite. Si cette télécopie vous est parvenue par erreur, veuillez nous le faire savoir par téléphone et nous la retourner par courrier ou détruisez cette télécopie immédiatement sans en effectuer de photocopie. Merci.</p>	<p>CONFIDENTIALITY NOTICE : The information contained in this facsimile message is legally privileged and/or confidential information intended only for the use of the individual or entity named above. If you are not intended recipient, you are hereby notified that any use, dissemination, distribution, or copying of this facsimile or its contents is strictly prohibited. If you have received this facsimile in error, please immediately notify us by telephone and return the original facsimile message to us by mail or destroy it without making a copy. Thank you.</p>
--	--

RINUY, SANTARELLI	Société anonyme de Conseils en Propriété Industrielle au capital de 3 500 000 F Siège social : 14, avenue de la Grande Armée 75017 PARIS - RCS PARIS B 341 667 880
--------------------------	---

<p>***** *** RAPPORT TX *** *****</p>	<p>OK 24 07:13 20/12 16:44</p>	<p>RESULTAT PGS DUREE HEURE DEBUT ID CORRESPONDANT SOUS-ADRESSE TEL. CORRESPONDANT TX/RX N° EMISSION OK</p>
---	--	---

D/D2433

BIF023273

DEMANDE DE BREVET D'INVENTION

DEPOSANTS

COMMISSARIAT A L'ENERGIE ATOMIQUE

Etablissement public à caractère scientifique, technique et industriel

TITRE

« Circuit intégré sur puce de hautes performances »

La présente invention concerne le domaine des circuits intégrés, et notamment celui des composants passifs intégrés sur puce.

Dans le domaine des circuits intégrés, on cherche de plus en plus :

- à réduire la taille prise par les composants,
- 5 - à diminuer les coûts de fabrication, et
- à introduire de nouvelles fonctions.

Pour atteindre ces objectifs, il est nécessaire d'intégrer de façon collective sur une même puce de plus en plus de composants qui étaient autrefois fabriqués séparément. Il en est ainsi de nombreux composants passifs (résistances, condensateurs, inductances), ou des MEMS (initiales des
10 mots anglais « *Micro-Electro-Mechanical Systems* », c'est-à-dire « Systèmes Electro-mécaniques Microscopiques ») (filtres acoustiques, interrupteurs radiofréquence, condensateurs à capacités variables), qui sont intégrés ensemble, soit indépendamment, soit avec les transistors des circuits intégrés
15 analogiques et numériques.

L'intégration monolithique des composants passifs ou des MEMS avec les transistors est la plus intéressante en terme de compacité et de coût, mais se heurte à un certain nombre de difficultés.

Premièrement, la nature des couches, ou les traitements nécessités par la fabrication des composants passifs, ne sont pas toujours facilement
20 compatibles avec une fabrication sur les circuits actifs. Par exemple, il existe des cas où l'élaboration d'un second matériau après celle d'un premier matériau dans un empilement sur tranche de silicium nécessite l'utilisation d'une température supérieure à celle à partir de laquelle ledit premier matériau
25 subit des dégradations inacceptables.

C'est notamment le cas pour l'intégration de condensateurs de découplage dans les circuits intégrés. Ces condensateurs doivent stocker une charge électrique élevée. La charge électrique étant proportionnelle à la capacité et à la tension d'alimentation, l'augmentation de la capacité permet
30 l'amélioration des performances recherchées. On rappelle que la capacité est proportionnelle à la constante diélectrique, à la surface d'électrode, et à l'inverse de l'épaisseur du diélectrique du condensateur.

On réalise classiquement les condensateurs sur la même tranche que les transistors. Cela permet d'intégrer les composants dans les métallisations usuelles, ou au-dessus d'elles, dans les circuits intégrés à base d'aluminium ou de cuivre, mais on est alors obligé de limiter la température d'élaboration à 450°C environ (voir par exemple l'article de S. Jenei *et al.* intitulé « *High-Q Inductors and Capacitors on Si Substrate* », IEEE 2001, ou l'article de Bryan C. Hendrix *et al.* intitulé « *Low-Temperature Process for High-Density Thin-Film Integrated Capacitors* », International Conference on High-Density Interconnect and Systems Packaging, 2000). De ce fait, ces procédés classiques sont fortement limités en ce qui concerne le type de matériau et les constantes diélectriques accessibles. Les capacités désirées sont donc atteintes en ayant recours à des condensateurs de grande surface, ce qui limite les possibilités d'intégration, et entraîne un surcoût de la puce en raison de l'augmentation de la surface qu'elle occupe sur la tranche de silicium.

Des condensateurs de même performance, mais de plus petite taille, permettraient une baisse des coûts de production. L'utilisation de matériaux diélectriques à très forte constante diélectrique comparativement aux matériaux usuels (SiO_2 , Si_3N_4 , Ta_2O_5 , ZrO_2 , ou Al_2O_3) est donc souhaitée.

Or il existe des matériaux ferroélectriques, appartenant à la classe des « pérovskites », qui possèdent des constantes diélectriques très élevées (constante relative de plusieurs centaines d'unités), et qui constituent l'essentiel des matériaux étudiés pour des applications de condensateurs à forte capacité dans la gamme souhaitée de constantes diélectriques (voir par exemple l'article de T. Ayguavives *et al.* intitulé « *Physical properties of (Ba,Sr)TiO₃ thin films used for integrated capacitors in microwave applications* », IEEE 2001). La phase cristalline pérovskite s'obtient à des températures habituellement comprises entre 600°C et 700°C. Mais de telles températures sont incompatibles avec le métal d'interconnexion des transistors, à base d'aluminium ou de cuivre. Si certains procédés connus à basse température (voir par exemple l'article de D. Liu *et al.* intitulé « *Integrated Thin Film Capacitor Arrays* », International Conference on High Density Packaging and MCMs, 1999) font appel à une pérovskite, ils concernent en fait une phase où la pérovskite n'est pas pure, ce qui fait que la

constante diélectrique est très inférieure à celle du même matériau recuit à plus haute température.

Les procédés classiques mentionnés ci-dessus ne permettent donc pas de tirer véritablement parti des avantages des pérovskites. En résumé,
 5 dans l'art antérieur, la température maximum autorisée décroît progressivement au fur et à mesure des étapes réalisées, et on se trouve donc dans un cas de figure où un matériau à procédé « chaud » (le diélectrique) intervient chronologiquement après un matériau à procédé « froid » (le métal d'interconnexion), ce qui constitue la principale difficulté.

10 On connaît néanmoins une méthode pour porter le diélectrique à plus haute température que ce que peuvent supporter les métaux d'interconnexion. Cette méthode consiste à isoler le diélectrique du métal d'interconnexion par une couche de protection thermique, puis à recuire le diélectrique à l'aide d'un laser à impulsions suffisamment brèves pour que, si la diffusion thermique est
 15 assez faible, la température du métal demeure inférieure à la température du diélectrique et soit acceptable (voir par exemple l'article de P.P. Donohue *et al.* intitulé « *Pulse-Extended Excimer Laser Annealing of Lead Zirconate Titanate Thin Films* », Actes du 12^{ème} Symposium International sur les Ferroélectriques Intégrés, Aachen, Allemagne, mars 2000, publié dans *Integrated Ferroelectrics*,
 20 vol. 31, pages 285 à 296, 2000). Le contrôle de cette méthode est toutefois délicat, car la couche de protection reste à terme sur la tranche. Elle ne peut donc pas être très épaisse (elle est habituellement inférieure à 2µm), et elle peut affecter les performances électriques des dispositifs. La différence de température entre le métal d'interconnexion et le diélectrique est donc limitée,
 25 autrement dit la température à laquelle le diélectrique peut être soumise est limitée. De plus, l'empilement est soumis à un fort gradient thermique pendant cette opération, ce qui peut engendrer une température de surface trop élevée, une cristallisation non homogène du diélectrique, ou encore des dégradations de matériaux, comme des microfissures, dues aux dilatations thermiques.

30 Une solution connue à ce problème de température consiste à réaliser les dispositifs passifs intégrant les condensateurs sur une autre tranche de silicium que les composants actifs, puis à connecter les deux puces entre

elles par câblage filaire ou par l'intermédiaire de microbilles (voir par exemple l'article de R. Heistand *et al.* intitulé « *Advances in Passive Integration for C/RC Arrays & Networks With Novel Thin & Thick Film Materials* », 36^{ème} Conférence Nordique IMAPS, Helsinki, 1999). Mais ces méthodes présentent

5 certains inconvénients :

- le câblage filaire ne permet pas d'établir des connexions de courte distance entre condensateurs et transistors, et

- les connexions par microbilles ne peuvent être réalisées qu'une fois au-dessus d'un circuit ; si les condensateurs sont réalisés de cette manière, il

10 n'est plus possible de rajouter d'autres fonctions telles que, par exemple, des microinterrupteurs ou des filtres à onde de surface.

Une deuxième difficulté soulevée par l'intégration monolithique des composants passifs ou des MEMS avec les transistors est que les caractéristiques des composants passifs sont perturbées par le type de

15 substrat utilisé pour les circuits actifs.

A titre d'exemple, les substrats utilisés pour les circuits CMOS ou BICMOS ont des conductivités au plus égales à $10 \Omega \cdot \text{cm}$ environ. Les courants induits dans ces substrats par les inductances ou les lignes conductrices produisent des pertes importantes et diminuent ainsi les facteurs de qualité des

20 structures résonantes.

Une première solution connue consiste à recourir à des technologies consistant à éliminer le substrat sous les zones devant accueillir les inductances et les lignes conductrices (voir par exemple le brevet US-5,539,241). Une deuxième solution connue consiste à rendre isolant le substrat sous les zones

25 devant accueillir les inductances et les lignes conductrices (voir par exemple l'article de H.-S. Kim *et al.* intitulé « *A porous-Si-based novel isolation technology for Mixed-Signal Integrated Circuits* », Symposium on VLSI Technology, 2000). Une troisième solution connue consiste à structurer les couches conductrices sous-jacentes en petites zones isolées les unes des autres (voir par exemple le

30 brevet US-6,310,387). Mais ces diverses techniques sont complexes à mettre en œuvre, et perturbent la mise en place des composants actifs.

Une troisième difficulté soulevée par l'intégration monolithique des composants passifs ou des MEMS avec les transistors est qu'on ne peut profiter de la dimension verticale pour obtenir de meilleures caractéristiques, ou une meilleure compacité pour les composants passifs.

- 5 Enfin, une quatrième difficulté soulevée par l'intégration monolithique des MEMS avec les transistors est qu'il faut ajouter un capot destiné à protéger les éléments mécaniques, sans perturber le fonctionnement de ces derniers. Une solution connue consiste à sceller une plaquette de silicium de même diamètre que la plaquette sur laquelle ont été réalisés les circuits (voir par exemple
- 10 l'article de H. Tilmans *et al.* intitulé « *Zero-Level Packaging for MEMS or MST Devices: the IRS Method* », *mstnews* 1/00). Cette technologie est assez coûteuse : en effet, il faut ajouter au coût du substrat supplémentaire le coût du scellement, celui d'un amincissement, et celui d'une gravure locale pour accéder aux plots électriques de sortie à la surface du circuit, tout cela
- 15 uniquement pour réaliser la fonction de protection par capotage.

Pour résoudre la plupart des difficultés décrites ci-dessus, l'invention propose, selon un premier aspect, un procédé de fabrication de puce contenant un circuit intégré, ledit procédé étant remarquable en ce qu'il comprend les étapes suivantes :

- 20 - on réalise un premier substrat contenant des composants actifs, mais ne contenant pas de composants passifs critiques, ainsi qu'un second substrat de mêmes dimensions planes que ledit premier substrat et contenant des composants passifs critiques, mais ne contenant pas de composants actifs, et
- on scelle ces deux substrats.

- 25 Ces composants actifs peuvent par exemple être des transistors. On dira que des composants passifs sont « critiques » lorsque leur élaboration directement sur le substrat contenant les circuits actifs et les interconnexions métalliques pose problème ; pour les raisons expliquées ci-dessus, il peut s'agir par exemple de condensateurs dont le matériau diélectrique, par exemple une
- 30 pérovskite, possède une très forte constante diélectrique, et/ou de MEMS.

Grâce à l'invention, on peut notamment élaborer sur une tranche de silicium un second matériau à une température supérieure à la température

maximum à laquelle peut être portée la tranche de silicium du fait d'un premier matériau déjà présent sur la tranche. L'invention permet cela en élaborant le second matériau séparément de la tranche de silicium sur laquelle il est destiné à se trouver, puis en intégrant le second matériau sur cette tranche par les techniques de report de couche. Dans le cas particulier des condensateurs de découplage, l'invention permet de porter le matériau diélectrique du condensateur à des températures permettant la cristallisation dans la phase pérovskite, sans aucune restriction imposée par le métal d'interconnexion sous-jacent, et sans avoir recours à une barrière de protection thermique entre les deux matériaux.

Le procédé selon l'invention permet également de réaliser commodément une structure protégeant les MEMS. En effet, les MEMS étant élaborés à la surface du second substrat qui est destinée à être reportée sur le premier substrat, c'est ce premier substrat lui-même (dans lequel on a préalablement aménagé un évidement adéquat) qui sert, après scellement des deux substrats, de structure de protection pour les MEMS. On peut ainsi avantageusement faire l'économie de la réalisation d'un capot selon l'art antérieur.

Selon des caractéristiques particulières de l'invention, on élabore en outre, au cours de ladite réalisation du second substrat, des composants passifs non critiques tels que des condensateurs en tranchées.

Selon d'autres caractéristiques particulières de l'invention, on élabore en outre, après ledit scellement des deux substrats, des composants passifs non critiques tels que des inductances.

Selon un second aspect, l'invention concerne également diverses puces contenant des circuits intégrés.

Elle concerne ainsi, premièrement, une puce remarquable en ce qu'elle a été fabriquée au moyen de l'un quelconque des procédés décrits succinctement ci-dessus.

Deuxièmement, l'invention concerne une puce remarquable en ce qu'elle comprend, d'une part, des composants actifs, et d'autre part des

condensateurs dont le matériau diélectrique, par exemple une pérovskite, possède une très forte constante diélectrique.

Troisièmement, l'invention concerne une puce remarquable en ce qu'elle comprend, d'une part, des composants actifs, et d'autre part des MEMS
5 logés dans un évidement situé à l'intérieur de ladite puce.

Selon des caractéristiques particulières, ladite puce comprend en outre des condensateurs en tranchées situés près de la face de la puce opposée à la face de la puce près de laquelle sont disposés lesdits composants actifs.

10 Selon d'autres caractéristiques particulières, ladite puce comprend en outre des inductances situées sur la face de la puce opposée à la face de la puce près de laquelle sont disposés lesdits composants actifs.

Les avantages offerts par ces puces sont essentiellement les mêmes que ceux offerts par les procédés de fabrication correspondants.

15 D'autres aspects et avantages de l'invention apparaîtront à la lecture de la description détaillée, que l'on trouvera ci-dessous, de modes particuliers de réalisation donnés à titre d'exemples non limitatifs. Cette description se réfère aux dessins annexés, dans lesquels :

- la figure 1 représente un premier substrat traité selon un mode de
20 réalisation de l'invention,

- la figure 2 représente un second substrat traité selon un mode de réalisation de l'invention,

- la figure 3 représente l'ensemble obtenu après report, selon l'invention, du second substrat 2 sur le premier substrat 1,

25 - la figure 4 représente un condensateur de très forte capacité après gravure,

- la figure 5 représente le second substrat après dépôt et gravure d'une couche d'isolant,

- la figure 6 représente le second substrat après dépôt de couches
30 métalliques et leur polissage,

- la figure 7 représente le second substrat après dépôt de nitrure de titane et d'aluminium, et la gravure de ces couches, et

- la figure 8 représente la puce obtenue selon un mode de réalisation de l'invention.

Conformément au procédé selon l'invention, on commence par préparer deux substrats 1 et 2, dans un ordre quelconque, ou simultanément.

5 La **figure 1** représente une tranche de silicium 1, dite « premier » substrat, contenant des composants actifs 3 qui ont été intégrés selon une technique connue quelconque, par exemple CMOS ou BICMOS, et des interconnexions métalliques (non représentées). Conformément à l'invention, ce premier substrat ne contient pas de composants passifs « critiques ».

10 Dans ce mode de réalisation, on dépose une couche épaisse 4, que l'on grave localement (évidements 5), le cas échéant, à l'aplomb des composants MEMS éventuellement prévus sur le deuxième substrat.

Enfin, on prévoira des plots de métallisation 9 qui seront ensuite reliés aux autres éléments du système par des passages aménagés à travers
15 le second substrat 2 (voir plus bas).

La **figure 2** représente un « second » substrat 2 dans un mode de réalisation où ce substrat 2 a été muni :

- de condensateurs en tranchées 6,
- de condensateurs de très forte capacité 7, et
- 20 - de MEMS 8.

Les condensateurs en tranchées 6 sont des condensateurs de forte capacité implantés conformément à l'article de F. Roozeboom *et al.* intitulé « *High-Value MOS capacitor arrays in ultradeep trenches in silicon* », (Microelectronic Engineering, vol. 53, pages 581 à 584, 2000). Plus
25 précisément :

- a) on réalise la gravure de tranchées selon des motifs prédéfinis et sur une profondeur légèrement supérieure à l'épaisseur du futur substrat après amincissement (voir ci-dessous) ;
- b) on fait croître sur les faces de chaque tranchée une épaisseur
30 relativement faible d'un diélectrique de haute qualité ; dans le cas où le substrat 2 est en silicium, on utilisera avantageusement pour cela l'oxyde de

silicium obtenu par effet thermique, en association éventuellement avec une nitruration ou un dépôt de nitrure de silicium ;

c) on remplit les tranchées d'un matériau fortement conducteur ; on peut par exemple utiliser pour ce faire du silicium polycristallin non dopé (ou
5 dopé in situ **DANS QUEL BUT ?**) ; et

d) on réalise une gravure localisée par masquage dudit matériau fortement conducteur pour délimiter des zones en surface du substrat 2 **DANS QUEL BUT ?**.

On choisira de préférence pour le substrat 2 un matériau de très
10 forte conductivité (tel que le silicium) car le substrat constituera une des armatures des condensateurs en tranchées. En variante, dans le cas des circuits intégrés ne comportant pas de condensateur en tranchées, il est préférable au contraire de choisir un substrat de faible conductivité (tel que le verre) pour limiter les pertes dues aux courants induits engendrés par les inductances (voir
15 ci-dessous).

En offrant la possibilité de creuser des tranchées profondes dans le second substrat 2, l'invention permet de développer une grande surface d'électrode pour ces condensateurs, et d'augmenter ainsi considérablement la valeur de la capacité pour une surface donnée de substrat par rapport à un
20 procédé d'intégration monolithique classique.

On va décrire à présent la fabrication de condensateurs de très haute capacité 7. On envisagera à titre d'exemples deux modes de réalisation de l'invention.

Selon un premier mode de réalisation, le second substrat 2 est en
25 silicium, ou en un diélectrique ordinaire tel que le verre. On met alors en œuvre les étapes suivantes :

e) on dépose une couche d'oxyde de silicium SiO_2 ;

f) on dépose une première électrode, qui peut être composée de plusieurs couches de matériaux métalliques, par exemple une couche de Ti ou
30 de RuO_2 ou de IrO_2 , recouverte d'une couche de platine ;

g) on dépose, selon une méthode connue quelconque (par exemple « Sol Gel », ou « MOCVD »), le matériau diélectrique constitué par une couche

mince de pérovskite telle que SrTiO_3 , $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ (appelée « PZT ») ou $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ (appelée « BST ») ;

h) on recuit à haute température (par exemple 700°C) ce diélectrique pour obtenir la phase pérovskite ;

5 i) on dépose une seconde électrode, qui peut être composée de plusieurs couches de matériaux métalliques, par exemple une couche de platine recouverte d'une couche de Ti ; et

j) de préférence, on dépose une couche de SiO_2 pour favoriser le collage ultérieur (voir ci-dessous).

10 Mais on peut également, selon un second mode de réalisation des condensateurs de très haute capacité 7, utiliser, en guise de second substrat 2, une couche épaisse de pérovskite obtenue au préalable. Dans ce cas, on omettra ici les étapes e), f), g), et h) décrites ci-dessus.

Le procédé selon l'invention permet ainsi de réaliser, à la
15 température élevée requise, des condensateurs possédant un diélectrique de très haute constante diélectrique, sans craindre pour autant d'endommager les composants actifs ou les interconnexions métalliques du futur circuit intégré.

De préférence, on appliquera ici un polissage mécano-chimique à la couche supérieure de la tranche ainsi obtenue, afin de lui conférer une rugosité
20 favorisant le report de couche par adhésion moléculaire (voir ci-dessous).

A l'étape k), on réalise de manière connue, par une succession de dépôts et de gravures, les composants MEMS 8, qui peuvent être à fonctionnement électro-mécanique ou électro-acoustique, comme les micro-commutateurs électromécaniques ou les résonateurs acoustiques.

25 Enfin, à l'étape l), on réalise des métallisations permettant de confectionner des contacts sur les armatures des condensateurs de très forte capacité 7 et sur les MEMS 8, et de les relier entre eux. On prévoira également des plots de métallisation 10 qui seront ensuite reliés aux autres éléments du système par des passages aménagés à travers le second substrat 2 (voir plus
30 bas).

La **figure 3** représente l'ensemble obtenu après collage, selon l'invention, du second substrat 2 sur le premier substrat 1.

On notera, dans ce mode de réalisation, le respect de l'alignement entre les MEMS 8 et les évidements 5. On voit ainsi que le procédé de fabrication selon l'invention assure la protection des composants électromécaniques tels que ces MEMS 8.

5 Ce collage pourra être réalisé, par exemple, par adhésion moléculaire, ou par soudure eutectique, ou par soudure anodique (en anglais, « *anodic bonding* »), ou par collage polymère. De préférence, on évitera d'utiliser une colle en couche afin de ne pas augmenter le nombre total de couches.

10 A ce stade, pour compléter la fabrication de la puce selon l'invention, il est nécessaire de construire le réseau d'interconnexions permettant de connecter les électrodes des condensateurs, et le réseau d'interconnexions sous-jacent du second substrat 2. On notera que, dans le cadre de l'invention, il s'agit ici d'accéder à des couches enterrées, contrairement aux procédés de
15 fabrication monolithiques selon l'état de l'art dans lesquels on peut déposer et graver immédiatement chaque couche successive.

Selon un premier mode de réalisation, particulièrement avantageux dans le cas où les lignes d'interconnexion sous-jacentes sont constituées d'aluminium, on pourra procéder de la façon suivante.

20 A l'étape m), on amincit le second substrat 2, par exemple par rectification mécanique et/ou attaque chimique ; pour l'attaque chimique, on peut par exemple utiliser du TétraméthylAmmoniumHydride (TMAH). En variante, on peut, avant de réaliser les condensateurs de très haute capacité 7 comme décrit ci-dessus en référence à la figure 2, créer une couche fragilisée à une
25 certaine profondeur dans le second substrat 2, conformément au procédé décrit dans le brevet EP-0 807 970 ; ce procédé consiste à créer à ladite profondeur un certain nombre de microcavités au moyen d'une implantation ionique et d'un recuit. Dans ce cas, l'élimination visée à la présente étape m) sera réalisée par
30 séparation le long de la couche fragilisée, par exemple à l'aide de forces mécaniques (la base du substrat 2 pouvant alors être recyclée après séparation). Cette variante est particulièrement utile dans le cas, mentionné

ci-dessus, où l'on choisit une couche épaisse de pérovskite en tant que second substrat 2.

On polit ensuite le second substrat 2, en poursuivant l'amincissement jusqu'à pénétrer dans les structures en tranchées.

- 5 A l'étape n), on grave localement le second substrat 2 puis les couches diélectriques à l'aplomb de façon à dégager les futurs contacts sur les plots de métallisations 9 se trouvant sur le premier substrat 1, ou sur les plots de métallisations 10 se trouvant sur le second substrat 2.

- 10 La **figure 4** montre un condensateur à très forte constante diélectrique 7, tel qu'il apparaît schématiquement après un certain nombre de photolithographies et/ou de gravures successives comme décrit ci-dessus. Les électrodes 13 et 14 sont disposées sur cette figure l'une par rapport à l'autre dans le même sens que sur la figure 3.

- 15 A l'étape o), on dépose un isolant 11, en SiO_2 par exemple, à basse température, de façon à recouvrir les flancs des tranchées associées aux condensateurs 6 **[OU CONDENSATEURS 7 ?]** et la surface libre du second substrat 2. On applique ensuite une photolithographie de cette couche d'isolant, puis on la grave jusqu'à atteindre le dernier niveau d'interconnexions métalliques présent sous les couches constituant ces condensateurs, comme
- 20 le montre la **figure 5**.

- 25 A l'étape p), on réalise des motifs en creux dans cet isolant à des endroits prédéterminés destinés à délimiter des futures lignes conductrices. On réalise ensuite une métallisation conductrice sur la surface, et dans les trous qui ont été réalisés (en anglais, « *vias* ») dans l'isolant ; cette métallisation
- 30 peut par exemple être effectuée par pulvérisation cathodique d'une fine couche de TiN suivie d'un dépôt en phase vapeur de W. Puis l'on effectue un polissage mécano-chimique (ou une gravure « pleine tranche ») de ces couches métalliques jusqu'à leur élimination complète des zones hautes de l'isolant, de sorte que ces couches métalliques ne sont plus présentes que dans les tranchées de l'isolant, comme le montre la **figure 6**.

A l'étape q), on dépose une fine couche de TiN suivie d'une couche d'aluminium. **[UTILITE ?]** On effectue ensuite une photolithographie et/ou une gravure des couches d'aluminium et de TiN, comme le montre la **figure 7**.

Selon un autre mode de réalisation, particulièrement avantageux dans
 5 le cas où les lignes d'interconnexion sous-jacentes sont constituées de cuivre, les étapes o) à q) peuvent être remplacées par les étapes suivantes, correspondant à la technique connue sous le nom « d'architecture double Damascène ».

A l'étape o'), on dépose un empilement de couches de diélectrique,
 10 par exemple du SiO₂ avec des couches fines de Si₃N₄. On effectue ensuite une photolithographie et/ou une gravure de l'empilement diélectrique, afin de graver des trous verticaux pouvant déboucher sur le niveau d'interconnexions sous-jacent et les électrodes des condensateurs **[6 ou 7 ?]**, et des tranchées en partie haute de l'empilement diélectrique.

A l'étape p'), on remplit les motifs creusés dans l'empilement diélectrique par des couches métalliques, préférentiellement des fines couches de TaN ou TiN. On utilise ce fond continu pour réaliser une électrolyse de cuivre épais selon le procédé décrit dans l'article de M. Tomisaka *et al.* intitulé
 20 «*Electroplating Cu Fillings for Through-Vias for Three-Dimensional Chip Stacking*» (Electronic Components and Technology Conference, 2002). On aplanit ensuite le cuivre et le fond continu selon les techniques connues (par exemple, par polissage mécano-chimique) jusqu'à leur élimination complète des zones hautes de l'isolant, pour ne laisser du métal que dans les motifs en creux, dans les tranchées de l'isolant et dans les trous verticaux : on réalise ainsi lesdites
 25 structures « Damascene ». L'épaisseur des creux et du métal seront choisis de façon à minimiser la résistance de cette couche.

Enfin, à l'étape q'), on réalise des inductances 12 de haute qualité sur la base des lignes dessinées à cet effet à l'étape 4bis) : on aboutit ainsi à la puce illustrée sur la **figure 8**. Grâce à l'invention, les pertes par courants induits
 30 sont fortement minimisées puisque, en réalisant ces inductances 12 sur la face du second substrat 2 opposée à la face de scellement, on éloigne ces inductances 12 du premier substrat 1 (qui peut être un bon conducteur), d'une

épaisseur pouvant être élevée, et que la zone située sous les inductances 12 supprime les courants induits.

La présente invention ne se limite pas aux modes de réalisation décrits ci-dessus : en fait, l'homme de l'art pourra mettre en œuvre diverses
5 variantes de l'invention tout en restant à l'intérieur de la portée des revendications ci-jointes. Par exemple, on a décrit ci-dessus des modes de réalisation dans lesquels la gravure des diverses couches était effectuée après report du second substrat sur le premier ; mais il est parfaitement possible
10 d'effectuer certaines étapes de gravure sur le premier substrat 1 et/ou sur le second substrat 2 *avant* l'étape de report.

REVENDEICATIONS

1. Procédé de fabrication de puce contenant un circuit intégré,
5 caractérisé en ce qu'il comprend les étapes suivantes :
 - on réalise un premier substrat (1) contenant des composants actifs (3), mais ne contenant pas de composants passifs critiques, ainsi qu'un second substrat (2) de mêmes dimensions planes que ledit premier substrat (1) et contenant des composants passifs critiques, mais ne contenant pas de
10 composants actifs, et
 - on scelle les deux substrats (1) et (2).
2. Procédé selon la revendication 1, caractérisé en ce que lesdits composants actifs (3) sont des transistors.
3. Procédé selon la revendication 1 ou la revendication 2, caractérisé
15 en ce que lesdits composants passifs critiques sont des condensateurs (7) dont le matériau diélectrique possède une très forte constante diélectrique, et/ou sont des MEMS (8).
4. Procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce que ledit second substrat (2) est en un matériau
20 électriquement conducteur.
5. Procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce que ledit second substrat (2) est en un matériau diélectrique.
6. Procédé selon la revendication 5, caractérisé en ce que le second substrat (2) est en un matériau de très forte constante diélectrique.
- 25 7. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que l'on élabore en outre, au cours de ladite réalisation du second substrat (2), des composants passifs non critiques tels que des condensateurs en tranchées (6).
8. Procédé selon l'une quelconque des revendications précédentes,
30 caractérisé en ce que l'on élabore en outre, après ledit scellement des deux substrats (1) et (2), des composants passifs non critiques tels que des inductances (12).

9. Puce (100), caractérisée en ce qu'elle a été fabriquée au moyen d'un procédé selon l'une quelconque des revendications 1 à 8.

10. Puce (100), caractérisée en ce qu'elle comprend, d'une part, des composants actifs (3), et d'autre part des condensateurs (7) dont le matériau
5 diélectrique possède une très forte constante diélectrique.

11. Puce (100), caractérisée en ce qu'elle comprend, d'une part, des composants actifs (3), et d'autre part des MEMS (8) logés dans un évidement (5) situé à l'intérieur de ladite puce (100).

12. Puce selon l'une quelconque des revendications 9 à 11,
10 caractérisée en ce qu'elle comprend en outre des condensateurs en tranchées (6) situés près de la face de la puce (100) opposée à la face de la puce (100) près de laquelle sont disposés lesdits composants actifs (3).

13. Puce selon l'une quelconque des revendications 9 à 12,
caractérisée en ce qu'elle comprend en outre des inductances (12) situées sur
15 la face de la puce (100) opposée à la face de la puce (100) près de laquelle sont disposés lesdits composants actifs (3).

TITRE de L'INVENTION

« Circuit intégré sur puce de hautes performances »

TEXTE de L'ABREGE

La présente invention concerne un procédé de fabrication de puce contenant un circuit intégré. Ce procédé comprend les étapes suivantes : on réalise un premier substrat (1) contenant des composants actifs (3), mais ne contenant pas de composants passifs critiques, ainsi qu'un second substrat (2) de mêmes dimensions planes que ledit premier substrat (1) et contenant des composants passifs « critiques », mais ne contenant pas de composants actifs ; puis l'on scelle les deux substrats (1) et (2). Ces composants actifs (3) peuvent par exemple être des transistors. Ces composants passifs « critiques » peuvent par exemple être des condensateurs (7) dont le matériau diélectrique est une pérovskite, et/ou des MEMS (8). L'invention concerne également une puce (100) fabriquée au moyen d'un procédé selon l'invention.

Figure pour l'abrégé : FIG. ~~4~~ 8

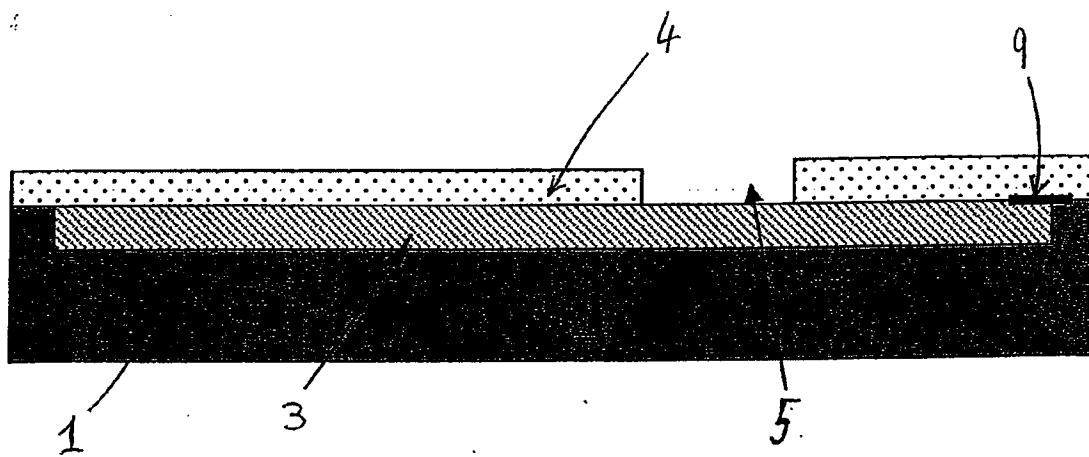


FIG. 1

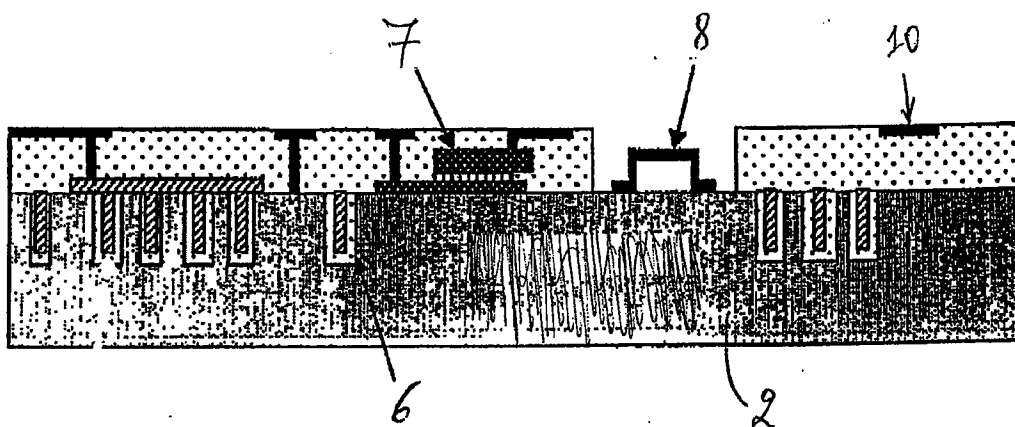


FIG. 2

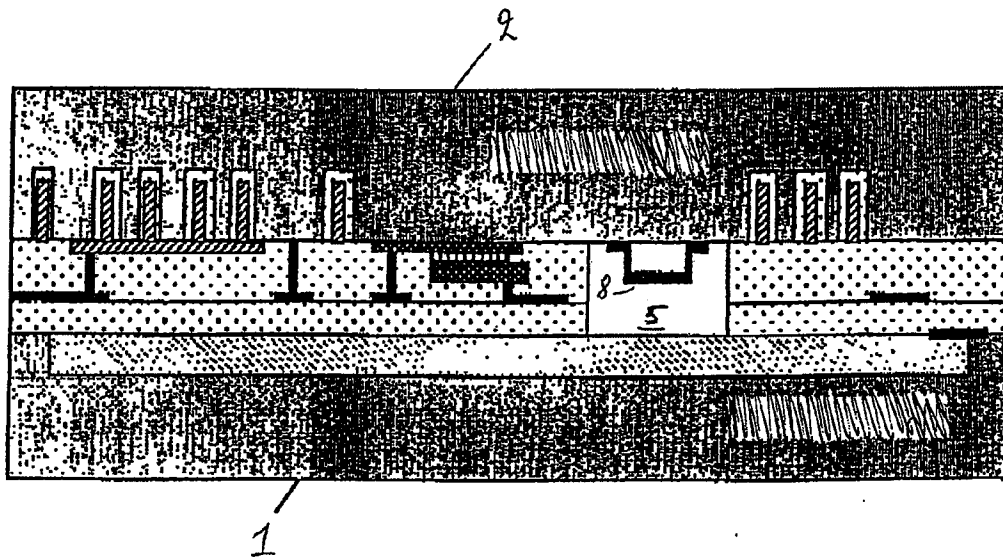


FIG. 3

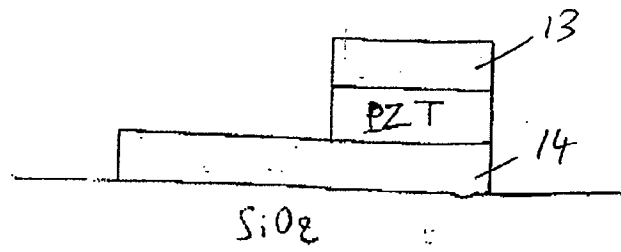


Figure 4

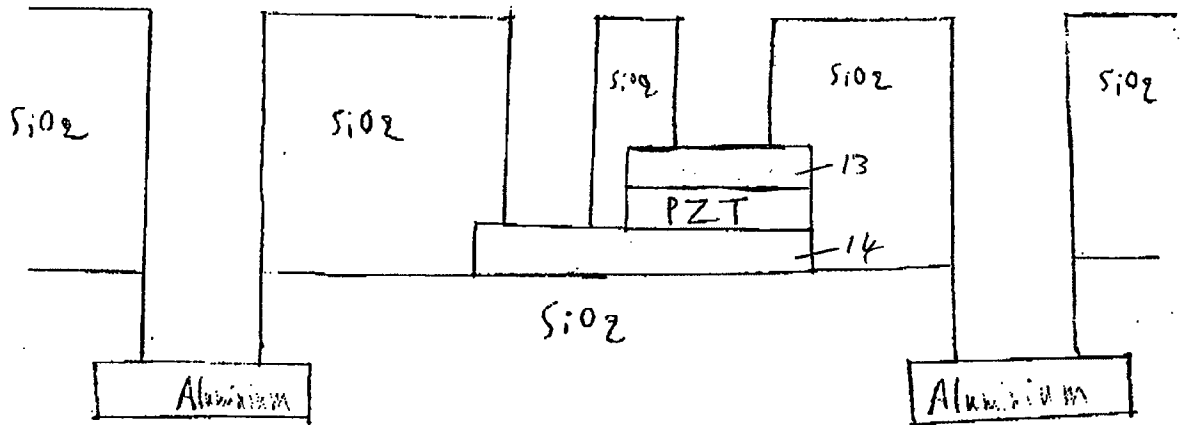


Figure 5

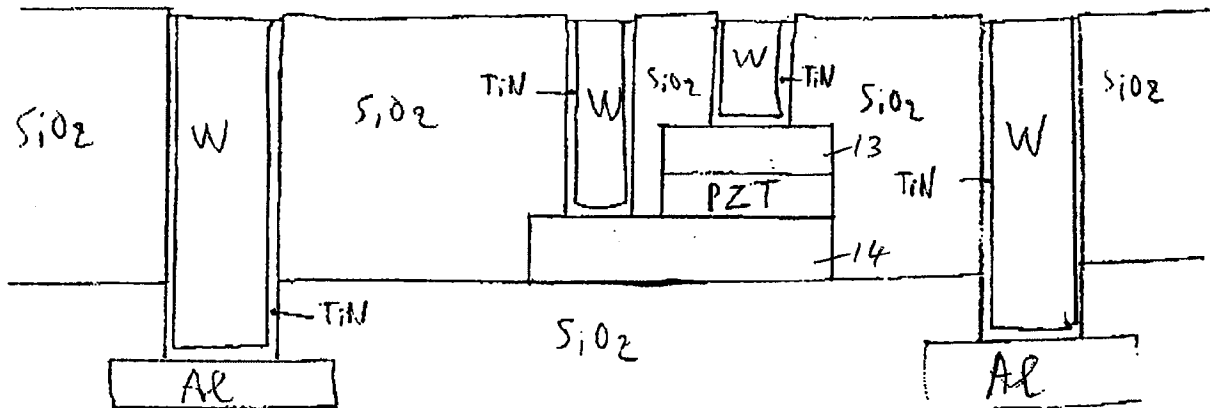


Figure 6

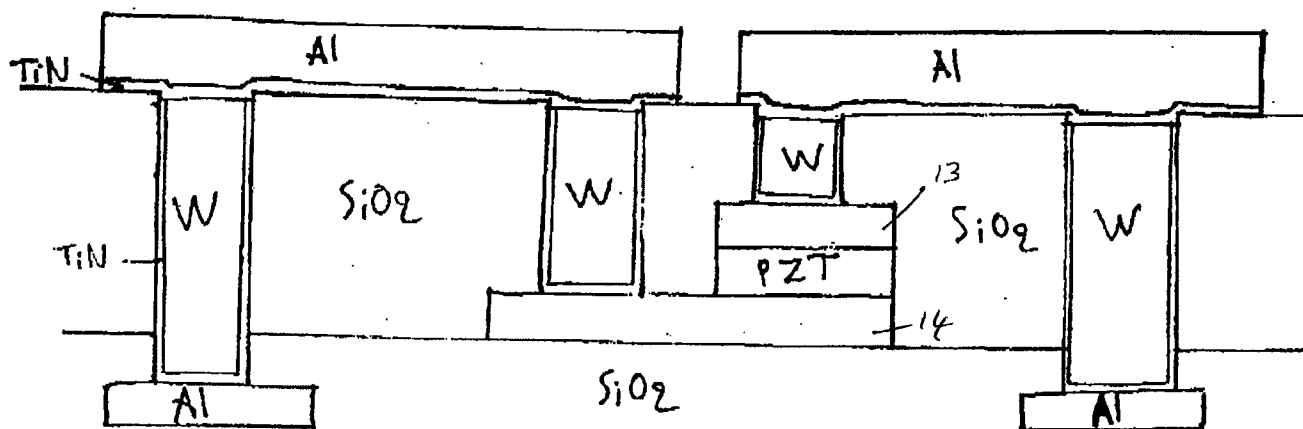


Figure 7

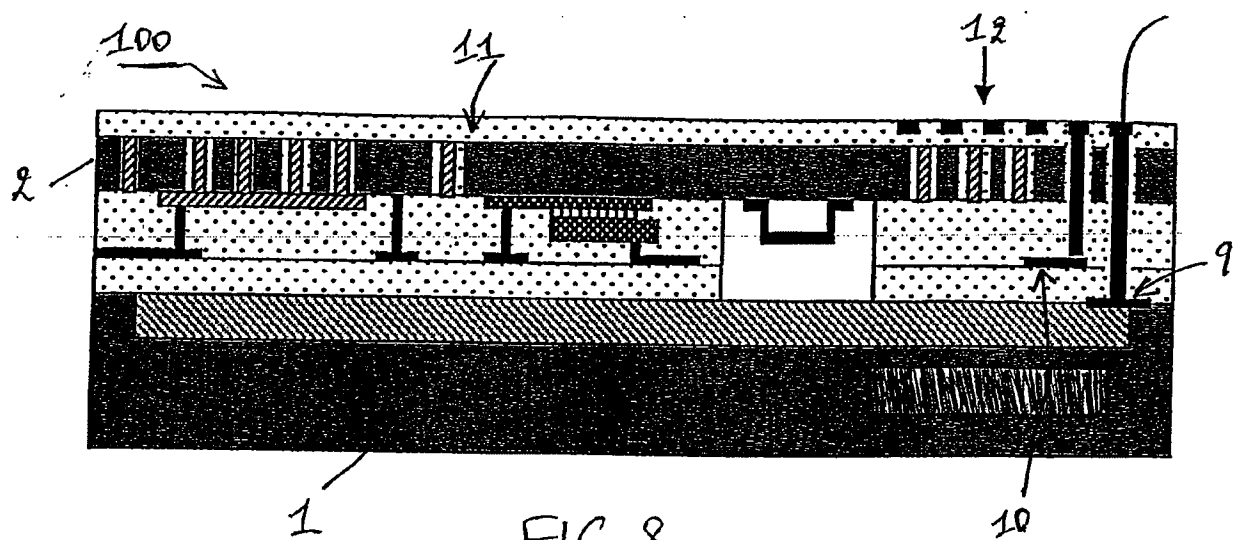


EXHIBIT B

Santarelli

Rinuy, Santarelli & Cabinet Bonnet-Thirion

Conseils en Propriété Industrielle
European Patent, Trademark and Design Attorneys

Marc Santarelli ▲*■
Luc Santarelli ▲*■
Laurence Julien-Raes ▲■
Thierry Caen ▲*■
François Lepelletier-Beaufond ▲*■
Herbert Lewitter ▲*■
Bruno Quantin ▲*■
Amaud Bonnans ▲*■
Eric Le Bihan ▲■
Maxime Petit ▲*■
Hélène Stankoff ▲*■
Olivier Thrierr ▲■

Michel George ▲■
Laurent Kurtz ▲*■
Karine Mikus ▲■
Valérie Moncade ▲■
Catherine Ulmann ▲*■

Didier Billois ▲*■
Lorraine Clavier
Séverine Coest
Richard Combes ▲■
Clarisse Doressamy-Salou ▲*■
Marie Ehret
Sylvain Espinasse
Marta Fernandez Sanchez
Guy Giraud ▲
Julie Haller
Piotr Kolodziejczyk
Augustin Le Tourneau ▲*■
David Lefevre
Sophie Marc ▲■
Pierre-Louis Renard
Léa-Marie Rogemont
Muriel Rosenberg ▲*■
Ghislain de Tremiolles ▲*■

Bureau de Marseille

Cédric Galup ▲*■
Nathalie Berna

Bureau de Toulouse

Jean-Luc Hartmann ▲*■
Valérie Vulliez

▲ Conseil en Propriété Industrielle
Intellectual Property Attorney
* Mandataire agréé auprès
de l'Office Européen des Brevets
European Patent Attorney
■ Conseil Européen en Marques
European Trademark Attorney

Administration

V. Edmond - J. Haller - I. Mercier - E. Poulet

Secrétariat général
Dominique Labauge

P. Maundrell - M. Pouchin
Ph. Huard - A. Pouchin - A. Scheidecker

Siège social / Head office

14 avenue de la Grande-Armée
Boîte Postale 237
75822 Paris Cedex 17
Tél +33 (0)1 40 55 43 43
Fax +33 (0)1 42 67 56 29

Visio Conférence +33 (0)1 58 05 06 73
E-mail contact@santarelli.com

Bureau de Marseille
146 rue Paradis
13294 Marseille Cedex 6
Tél + 33 (0)4 96 10 21 10
Fax + 33 (0)4 96 10 21 15
E-mail marseille@santarelli.com

Bureau de Toulouse
Bureau InnoPolis A
Boîte Postale 388
31314 Labège Cedex
Tél + 33 (0)5 61 00 75 30
Fax + 33 (0)5 61 00 75 39
E-mail toulouse@santarelli.com

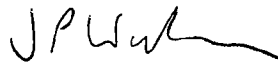
CERTIFICATION

I, Jeremy WALKER, translator of Cabinet Santarelli, Conseils en Propriété Industrielle, 14, avenue de la Grande Armée 75017 Paris, France, hereby certify that I am fully conversant with the English and French languages and that to the best of my knowledge and belief the following translation, made by me, is a true and accurate translation into English of extracts from the attached patent application draft dated December 20, 2002 written in French relating to:

Application No. 10/561,299 (publication No. US-2006-252,229) filed on June 23, 2004

Title: "Integrated circuit on high performance chip"

Signed on November 7, 2008



Jeremy WALKER

Extract from p.5, line.16 to p.6, line 10

To solve most of the difficulties described hereinabove, a first aspect of the invention provides a method of fabricating a die containing an integrated circuit, said method being remarkable in that it comprises the following steps:

- a first substrate is produced containing active components, but not containing critical passive components, as well as a second substrate of the same flat dimensions as said first substrate and containing critical passive components, but not containing active components, and
- the two substrates are bonded.

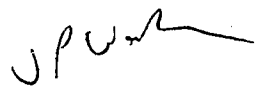
The active components may be transistors, for example. Passive components are said to be "critical" if their production directly on the substrate containing the active circuits and the metallic interconnections gives rise to a problem; for the reasons explained hereinabove, this may for example refer to capacitors whose dielectric material, for example a perovskite, has a very high dielectric constant, and/or refer to MEMS.

Thanks to the invention, a second material may in particular be produced on a silicon slice at a temperature higher than the maximum temperature to which the silicon slice may be heated because of a first material already present on the slice. The invention enables this by producing the second material separately from the silicon slice on which it is to end up and then integrating the second material onto that slice by layer transfer techniques. In the particular case of decoupling capacitors, the invention enables the dielectric material of the capacitor to be heated to temperatures enabling crystallization in the perovskite phase without any restriction being imposed by the underlying interconnection metal and without having recourse to a thermal protection barrier between the two materials.

Extract from p.8, line 21 to p.9, line 2

The capacitors in trenches 6 are high capacity capacitors implanted in accordance with the paper by F. Roozeboom *et al.* entitled "*High-Value MOS Capacitor Arrays in Ultradeep Trenches in Silicon*", (Microelectronic Engineering, vol. 53, pages 581 to 584, 2000). To be more precise:

- a) trenches are etched in accordance with predefined patterns and to a depth slightly greater than the thickness of the future substrate after thinning (see below);



b) a relatively small thickness of a high-quality dielectric is grown on the faces of each trench; if the substrate 2 is of silicon, silicon oxide obtained by a thermal effect is advantageously used for this purpose, possibly in combination with nitriding or deposition of silicon nitride;

Extract from p.12, lines 5-26

At step n), etching is performed locally of the second substrate 2 and then the dielectric layers in vertical alignment to uncover the future contacts on the metallization areas 9 located on the first substrate 1, or on the metallization areas 10 located on the second substrate 2.

Figure 4 shows a capacitor 7 with a very high dielectric constant, as it appears schematically after a certain number of successive etching operations and/or photolithography operations as described above. The electrodes 13 and 14 are disposed in relation to each other on this Figure in the same sense as in Figure 3.

At step o) insulator 11, for example SiO_2 , is deposited at low temperature to cover the flanks of the trenches associated with the capacitors 6 **[OR CAPACITORS 7 ?]** and the free surface of the second substrate 2. Photolithography is then applied to this insulator layer, and it is then etched until the last level is reached of metallic interconnections present under the layers constituting those capacitors, as shown by **Figure 5**.

At step p) recessed patterns are produced in this insulator at predetermined locations intended to delimit future conductive lines. Next, conductive metallization is produced on the surface, and in the holes that have been formed (known as "vias") in the insulator; this metallization may for example be carried out by cathode sputtering of a fine layer of TiN followed by a deposit of W in vapor phase.

Extract from p.13, lines 27-29

Lastly, at step q'), high quality inductors 12 are formed on the basis of the lines drawn for that purpose at step 4bis): this results in the die illustrated in **Figure 8**.

J P W

Fifth passage

CLAIMS

1. Method of fabricating a die containing an integrated circuit, characterized in that it comprises the following steps:

- a first substrate (1) is produced containing active components, but not containing critical passive components, as well as a second substrate (2) of the same flat dimensions as said first substrate and containing critical passive components, but not containing active components, and
- the two substrates (1) and (2) are bonded.

2. Method according to claim 1, characterized in that said active components (3) are transistors.

3. Method according to claim 1 or claim 2, characterized in that said critical passive components are capacitors (7) of which the dielectric material has a very high dielectric constant and/or are MEMS (8).

4. Method according to any one of claims 1 to 3, characterized in that said second substrate (2) is an electrically conductive material.

5. Method according to any one of claims 1 to 3, characterized in that said second substrate (2) is of a dielectric material.

6. Method according to claim 5, characterized in that the second substrate (2) is of a material with a very high dielectric constant.

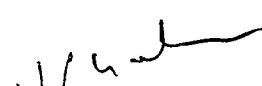
7.. Method according to any one of the preceding claims, characterized in that non-critical passive components such as a capacitors in trenches (6) are further produced during the production of the second substrate (2).

8. Method according to any one of the preceding claims, characterized in that non-critical passive components such as inductors (12) are further produced after said bonding of the two substrates (1) and (2).

9. Die (100) characterized in that it was fabricated by means of a method according to any one of claims 1 to 8.

10. Die (100) characterized in that it comprises active components (3), and also comprises capacitors (7) of which the dielectric material has a very high dielectric constant

11. Die (100) characterized in that it comprises active components (3), and also comprises MEMS (8) enclosed in a cavity (5) situated inside said die (100).



12. Die according to any one of claims 9 to 11, characterized in that it further comprises capacitors in trenches (6) situated in the vicinity of the opposite face of the die (100) to the face of the die (100) in the vicinity of which are disposed said active components (3).

13. Die according to any one of claims 9 to 12, characterized in that it further comprises inductors (12) situated on the opposite face of the die (100) to the face of the die (100) in the vicinity of which are disposed said active components (3).

JPer